

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2000 EPO. All rts. reserv.

6115551

Basic Patent (No,Kind,Date): JP 62145289 A2 870629 <No. of Patents: 001>

DRIVER BUILT-IN ACTIVE MATRIX PANEL (English)

Patent Assignee: SEIKO EPSON CORP

Author (Inventor): MATSUEDA YOJIRO; MISAWA TOSHIYUKI; SATO TAKASHI

IPC: \*G09G-003/20; G02F-001/133; G09F-009/35

Language of Document: Japanese

Patent Family:

| Patent No   | Kind | Date   | Applic No   | Kind | Date           |
|-------------|------|--------|-------------|------|----------------|
| JP 62145289 | A2   | 870629 | JP 85286450 | A    | 851219 (BASIC) |

Priority Data (No,Kind,Date):

JP 85286450 A 851219

CONCISE STATEMENT OF JP62-145289

This Japanese Laid-Open patent was cited by Japanese Patent Office for showing a feature that a driver TFTs are formed on a same substrate as pixel TFTs. Fig. 7 shows cross section of an active matrix panel having a driver circuit. The followings are description of the reference numerals of the drawings:

- 1: shift register
- 2-4: output of shift register(1)
- 8, 9, 10: line memory
- 11, 12, 13: source follower circuit
- 5-7, 23-25: switching circuit
- 14-16: TFT
- 17-19, 20-22: resistance
- 26-28: data lines
- 80: insulating substrate
- 81: first silicon film
- 82: gate insulating film
- 83: second silicon film or metal film
- 84: interlayer insulating film
- 85: transparent electrode

## ⑫ 公開特許公報(A)

昭62-145289

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)6月29日

G 09 G 3/20

G 02 F 1/133

G 09 F 9/35

3 2 7

3 3 2

D-7436-5C

8205-2H

7348-2H

6731-5C

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 ドライバー内蔵アクティブマトリクスパネル

⑯ 特 願 昭60-286450

⑰ 出 願 昭60(1985)12月19日

⑱ 発 明 者 松 枝 洋 二 郎

⑲ 発 明 者 三 澤 利 之

⑳ 発 明 者 佐 藤 尚

㉑ 出 願 人 セイコーエプソン株式

会社

㉒ 代 理 人 弁理士 最 上 務 外1名

諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

東京都新宿区西新宿2丁目4番1号

## 明 細 書

## 1 発明の名称

ドライバー内蔵アクティブマトリクスパネル

## 2 特許請求の範囲

絶縁基板上に設けられた電源線群、データ線群、

横回路、及び前記電源線及びデータ線の交点に設けられた薄膜トランジスタ(以下TFTと略記)アレイによって液晶を駆動して成るドライバー内蔵アクティブマトリクスパネルにおいて、前記ドライバー横回路内に、第1のTFTを用いたソース・ホログ回路と、第1のTFTと接続の異なる第2のTFTを用いたスイッチング回路及びラインメモリ回路とを備え、液晶を駆動するTFTアレイを第2のTFTを用いて構成したことを特徴とするドライバー内蔵アクティブマトリクスパネル。

## 3 発明の詳細な説明

(産業上の利用分野)

本発明は、ドライバー内蔵アクティブマトリクスパネルの回路構成に関する。

(発明の概要)

本発明はドライバー内蔵アクティブマトリクスパネルにおいて、ドライバー横回路内に、第1のTFTを用いたソース・ホログ回路と、第1

スイッチング回路及びラインメモリ回路とを備え、液晶を駆動するTFTアレイを第2のTFTを用いて構成したことにより、ソース・ホログ回路の入出力電圧の差を第2のTFTのOFFスイッチング時に生じる電圧変化分で補い、画素電圧に画素データと等しい電圧を導き込めるようにしたものである。

(従来技術)

絶縁基板上にTFTを用いてドライバー内蔵したアクティブマトリクスパネルの例としては、Morosumi, et. al. SID84 DIGEST, P 316, 1984 "N

示されるようなものがある。これは、定電流数210本、データ線数180本という比較的解像度の低いものであった。

(発明が解決しようとする問題点及び目的)

ドライバ内蔵アクティブマトリクスパネルを高精細化する場合、必然的に定電流数が増加し、一定電流選択期間は減少する。また、データ線数も増加し、データ線選択期間が減少する。この結果、

① 画素TFTの書き込み能力が不足する。

② 画素データとデータ線に書き込む際のドライバの書き込み能力が不足する。

という問題を生じる。この問題点を解決するためには、ドライバ内にアナログバッファを形成しドライバの駆動能力を上げ、さらにドライバ内にラインメモリーを設けアクティブマトリクスパネルを順次駆動すればよい。しかしTFTを用いたアナログバッファには以下に述べるような問題点がある。

第2図はTFTを用いたソース・ホログ回路で

る。これはTFTのスレッショールド電圧が高いために起こるものであり、単結晶シリコン上に作られたMOSFETではこの現象は問題とならない。このTFTのソース・ホログ回路を用いてアクティブマトリクスパネルを駆動する場合、データ線に書き込まれる電圧が、画素データに対して $\Delta V$ だけシフトしてしまい、画素にも実際のデータより $\Delta V$

画素が入力信号と異なるものとなり、また画素のTFTのゲート・ソース間電圧 $V_{gs}$ が小さくなり書き込み能力が不足する等の問題を生じる。以上はマルチチャネルTFTの場合であるが、マルチチャネルTFTを用いたソース・ホログ回路では $V_{out}$ は $V_{in}$ より低電圧側へ同様にシフトし、画素TFTが十分OPPできない等の問題点を生じる。

本発明は以上のような問題点を解決するものでその目的とするところは、画素電圧と画素データと等しい電圧を書き込める順次ドライバをTFTで構成し、高精細ドライバ内蔵アクティブマトリクスを実現する回路構成を提案するところにある。

ある。ソース・ホログ回路は、構造が簡単で入力インピーダンスが高く出力インピーダンスが低いという特徴がありアナログバッファに選んでいる。60は入力信号源でありその電圧を $V_{in}$ とする。61は負荷で抵抗 $R$ と容量 $C$ の並列インピーダンス $Z$ で表われ、これに印加される出力電圧を $V_{out}$ とする。62は電流 $I_D$ を供給する定電流源で63、64、65はそれぞれTFTのソース(6)、ドレイン(6)、ゲート(6)に対応する。第3図はTFTのゲート・ソース間電圧 $V_{gs}$ をパラメータとし、ドレイン・ソース間電圧 $V_{ds}$ を横軸にとった場合のドレイン・ソース間電流 $I_D$ を示したグラフである。第2図において

$$I_{D0} = I_D - V_{gs}/R$$

の関係があるため、TFTの動作点は第3図のA点線上を動く。たとえば入力信号 $V_{in}$ を中心とする振幅 $\pm 2V$ の信号であれば、動作点はA点を中心としてB点とC点の間を往復する。この場合の入力信号 $V_{in}$ と出力信号 $V_{out}$ の関係を第4図に示す。この図からわかるように、TFTのソース・ホログ回路では、入出力信号間に $\Delta V$ なる電位差を生じ

ある。

(問題点を解決するための手段)

本発明のドライバ内蔵アクティブマトリクスパネルは、ドライバ内に、第1のTFTを用いたソース・ホログ回路と、第1のTFTと特性の異なる第2のTFTを用いたスイッチング回路及びラインメモリー回路とを備え、液晶を駆動することを実現する。

とを特徴とする。

(作用)

本発明の上記の構成によれば、ソース・ホログ回路の入出力電圧の差を第2のTFTのOPPスイッチング時に生じる電圧変化分で補い、画素電圧に画素データと等しい電圧を書き込むことができる。

(実施例)

本発明のドライバ内蔵アクティブマトリクスパネルは、第1図(4)に示すドライバ部と第1図(6)に示すXドライバ部および画素エリアよりなる。まずXドライバの構成について述べる。

1はシフトレジスタであり、2~4はその出力である。ビデオ信号はシフトレジスタの出力パルスのタイミングに応じて5~7のTPTを介してラインメモリ8~10に書き込まれる。11~13はTPTのソース・ホック回路で23~25のスイッチング回路を介して26~28のデータ線に面電圧データを書き込む。14~16のTPTは17~19及び20~22の抵抗によりノード電位を一定に保たれており、ソース・ホック回路の電流源として働く。同図において $V_{SS}$ および $V_{DD}$ はそれぞれ負電源、正電源である。次に第1図(ハ)について述べる。

30は面電圧エリアで31はエドライバ部である。32~34はデータ線26~28の補助電圧である。35~37は走査線であり、38~46は面電圧電極を駆動するTPT、47~55は液晶の容量、56は対向電極でありその電位を $V_{LO}$ とする。

第5図はドライバ内蔵アクティブマトリクスパネルの各部の動作電圧波形であり、この図と第1図(ハ)とを並べて走査駆動の動作を説明する。一般にNTSCのビデオ信号は垂直フィールド

と垂直フィールドをあわせた1フレームの信号で画面全体の駆動を司る。液晶は交差駆動するため、ビデオ信号は71のようフィールドごとにある電位を中心に正負反転させたのを用いる。第1図(ハ)の端子V12にはこのビデオ信号71が、端子E8Pにはスタートパルス75が印加される。このパルス75はクロック信号XCLの半周期ごとにシフトレジスタ1の後段へ順次送られ、各出力端子2~4から76, 77のようなサンプリングパルスを出力する。これに応じて5~7のTPTがONして、8~10のラインメモリに面電圧データを書き込む。このラインメモリの容量はサンプリングパルスのON期間 $T_X$ の間に充分書き込める大きさにする。スタートパルスが入力されて以後、すべてのラインメモリにデータが書き込まれてからラッチパルス78がE8Pに印加され、スイッチング回路のTPT23~25をONさせ、ソース・ホック回路のTPT11~13によってデータ線に面電圧データが書き込まれる。一方走査線35~37には72のような選択信号が出力

され、エドライバによって順次1本ずつ選択される。走査線は、データ線に面電圧データが書き込まれる直前から、次のデータが書き込まれる直前までの $T_X$ の間選択され、この間その走査線に付いている一行の面電圧TPTをONさせ、面電圧電極に一斉に面電圧データを書き込む。ラッチパルスがLレベルとなり26~27のスイッチング回路TPT

によって面電圧データを保持し、面電圧電極にデータを書き込み続ける。この時ラインメモリ8~10には次の行のデータが書き込まれているわけである。このように、走査駆動は面電圧電極にデータを書き込む時間 $T_X$ を水平走査期間 $T_X$ と等しくすることができ、またソース・ホック回路によりデータ線への書き込み能力も向上するため高解像度パネルを実現することができる。

次にデータ線に書き込まれる面電圧データが、ビデオ信号と同じレベルとなっていることを説明する。第6図は、第1図(ハ)のエドライバの1段目の $M_1$ ~ $M_4$ の各部および第1図(ハ)の面電圧電極 $M_1$ の動作電位を示したものである。時刻 $t=0$ においてTPT5がONしビデオ信号がラインメモリ8に書き込まれる。この時 $M_1$ と $M_2$ の電位は等しくなるが、 $t=t_1$ でTPT5がOFFした瞬間、 $M_2$ の電位は $\Delta V_1$ だけ下がる。これはTPTの電流間容量 $C_1$ とラインメモリの容量 $C_0$ の間の容量結合によるもので、サンプリングパルスの電位を $V_1$ とすると、

で表わされる。 $M_2$ の電位は $V_1$ より $\Delta V_1$ だけ高くなる。これは前述のTPTによるソース・ホック回路の増強である。 $t=t_2$ においてラッチパルスLがHighレベルとなりTPT23がONして $M_1$ と $M_3$ の電位が等しくなる。 $t=t_3$ においてラッチパルスLがLowレベルとなりTPT23がOFFする瞬間、 $M_3$ の電位は $\Delta V_2$ だけ下がる。これもTPT23の容量 $C_2$ とデータラインの容量 $C_3$ との容量結合によるもので、ラッチパルスの電位を $V_2$ とすると、

$$\Delta V_2 = V_2 \cdot C_2 / (C_2 + C_3)$$

で表わされる。さらに時刻 $t_4$ において走査線の

号がLowレベルとなりTPT38がOFFする期間  
M<sub>0</sub>の電位が $\Delta V_1$ だけ下がる。これも同様にTPT  
38の容量C<sub>3</sub>と47の液晶の容量C<sub>4</sub>の容量結合に  
よるものであり、走査駆動信号振幅を $v_3$ とする  
と、 $\Delta V_3 = v_3 - C_3 / (C_3 + C_4)$  で与えられる。ここで  
 $\Delta V_4 = \Delta V_1 + \Delta V_2 + \Delta V_3$

となるように各TPT及び容量の大きさを決定  
してあげれば、M<sub>0</sub>の電位は等面化に於けるビデオ信  
号の電位と等しくすることができ、つまり画素  
電版に画素データと等しい電圧を書き込むことが  
できるわけである。これはソース・ホログ回路の

TPT11~13の特性が、スイッチング回路のTPT  
5~7及び23~25及び画素エリアのTPT  
38~46の特性と異なる場合にのみ可能となる。

第7図に、ドライバ部をCMOSTPT、画素ア  
レイ部をNMOSTPTで形成した場合のドライバ  
内蔵アクティブマトリクスパネルの断面図の一例  
を示す。80は絶縁基板、81は1層目のシリコ  
ン薄膜、82はゲート絶縁膜、83は2層目のシ  
リコン薄膜または金属薄膜、84は画素絶縁膜、

85は透明導電膜であり、画素電版以外は金属配  
線を用いることも可能である。

(発明の効果)

以上述べたように本発明の上記の構成によれば  
データ線にビデオ信号を直接書き込むように  
なるだけでなく、ソース・ホログ回路を用いるこ  
とでデータ線の駆動にマーシャングでき、スイッ  
チング回路とラインメモリを組み合わせて逐次  
駆動することで画素へのデータの書き込みにもマ  
ージンができる。したがって高解像度ドライバ内  
蔵アクティブマトリクスの実現が可能となる。ま  
た、動作電圧にもマーシャングができるため電源電圧  
を低くして低消費電力化することもできる。

#### 4. 図面の簡単な説明

第1図(a)はドライバ内蔵アクティブマトリク  
スパネルのドライバ部の回路図。

第1図(b)はドライバ内蔵アクティブマトリク  
スパネルのドライバ部及び画素エリアの回路  
図。

第2図はソース・ホログ型のTPT回路を示す  
回路図。

第3図はTPTの $I_{DS} - V_{GS}$ 特性図。

第4図は第2図の回路の入出力特性図。

第5図はドライバ内蔵アクティブマトリクス  
パネルの各部の動作電圧図。

第6図はエドドライバの各部の動作電圧図。

パネルの断面図。

8, 9, 10 ..... ラインメモリ

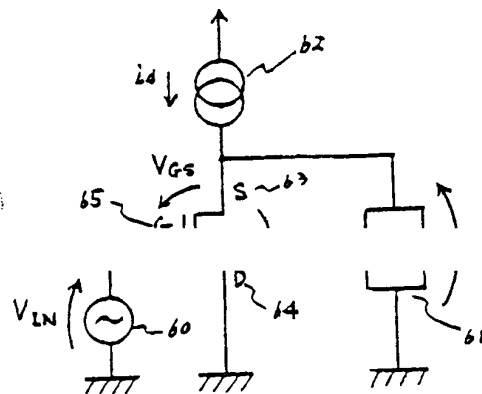
11, 12, 13 ..... ソース・ホログ回路

5~7, 23~25 ..... スwitchング回路

以上

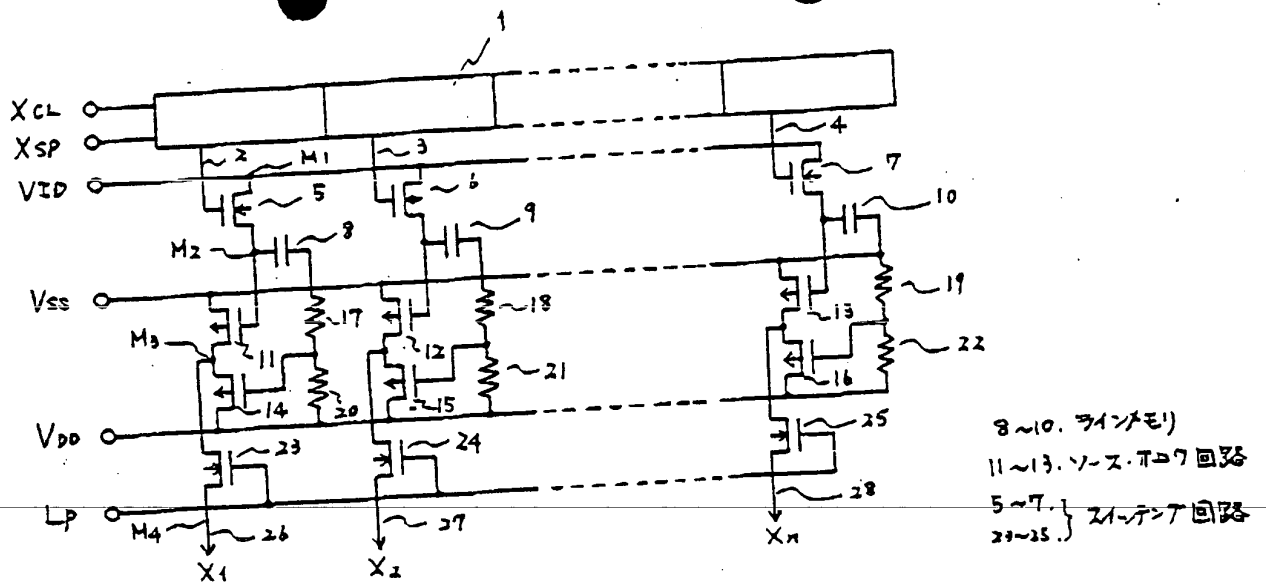
出願人 セイコーエプソン株式会社

代理人 弁理士 最上 務 他1名



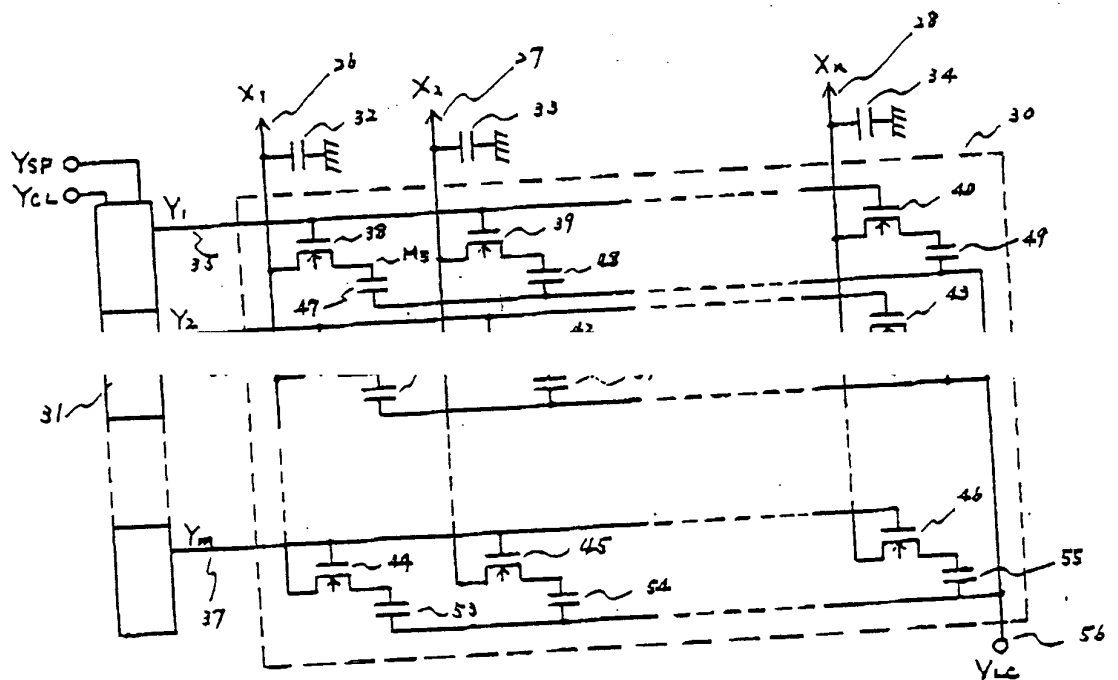
ソース・ホログ型TFT回路の回路図

第2図



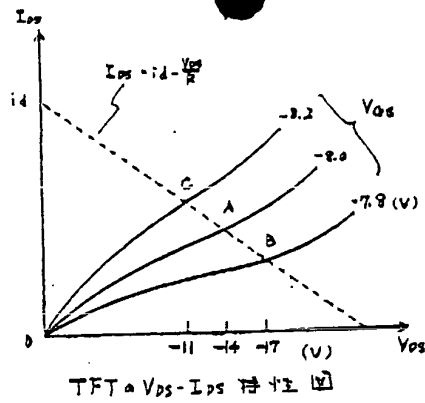
ドライバ-内蔵アクティブマトリクスパネルの  
Xドライバ-部の回路図

第1図 (a)

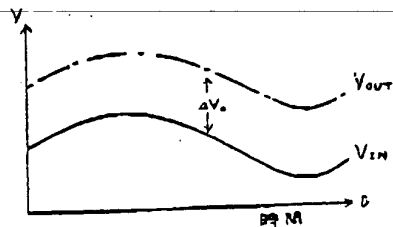


ドライバ-内蔵アクティブマトリクスパネルの  
画素エリアとYドライバ-部の回路図

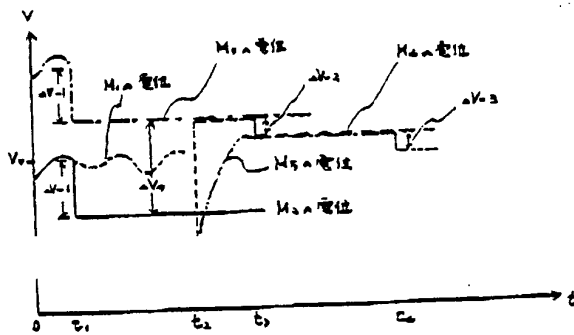
第1図 (b)



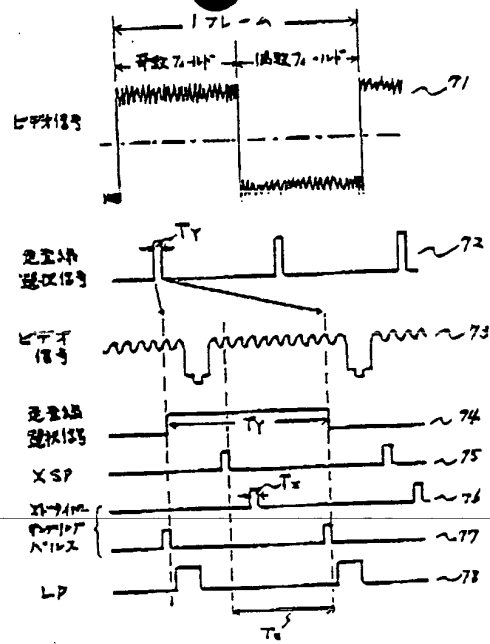
第 3 図



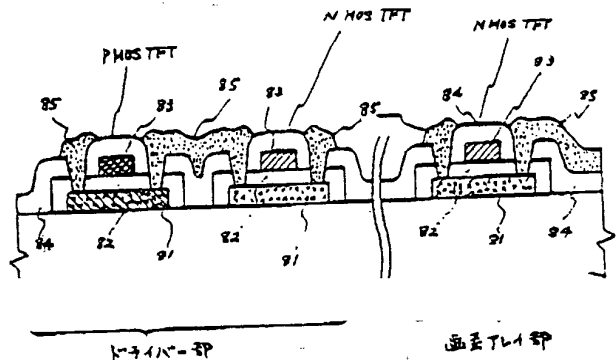
第 4 図



第 6 図



第 5 図



第 7 図